

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-77120

(P2001-77120A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/322  
C 30 B 29/06  
H 01 L 21/205

識別記号  
502

F I  
H 01 L 21/322  
C 30 B 29/06  
H 01 L 21/205

テマコード(参考)  
Y 4 G 0 7 7  
5 0 2 E 5 F 0 4 5

審査請求 未請求 請求項の数5 O.L (全7頁)

(21)出願番号 特願平11-248227

(22)出願日 平成11年9月2日(1999.9.2)

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 二宮 正晴

佐賀県杵島郡江北町大字上小田2201番地  
住友金属工業株式会社シチックス事業本部  
内

(74)代理人 100075535

弁理士 池条 重信 (外1名)

Fターム(参考) 4G077 AA02 BA04 CF10 DB01 FE12  
5F045 AB02 AC05 AD15 AF03 BB12  
BB14 DA67 HA06

(54)【発明の名称】 エピタキシャルシリコンウェーハの製造方法

(57)【要約】

【課題】 IG能を付与されたエピタキシャルシリコンウェーハの酸素析出核の不均一化形成を抑制し、シリコンウェーハ表面近傍にBMDが形成することなく、比較的短時間で処理できる、IG能に優れた製造方法の提供。

【解決手段】 低温処理により潜在核を結晶全体に発生、成長させ、次に中温の熱処理を行って基板表面の潜在核を収縮、溶解させると同時に基板内部にBMDを成長、形成することにより、ウェーハ表層部にBMDを顕在化させずに内部にBMDを顕在化させることができ、結晶の成長方法でのBMD密度をばらつき少なく制御できること、さらに、この基板にエピタキシャル膜を形成すると、表面欠陥が生ぜず且つ基板内部にのみBMDが形成される。

## 【特許請求の範囲】

【請求項1】 CZ法によるシリコンウェーハに対する、450～600°Cの温度で1時間～24時間の熱処理工程と、850～1050°Cの温度で30分～4時間の熱処理工程と、エピタキシャル成長による成膜工程を含むエピタキシャルシリコンウェーハの製造方法。

【請求項2】 CZ法による単結晶シリコンインゴットに対する450～600°Cの温度で1時間～24時間の熱処理工程と、加工後のシリコンウェーハに対する、850～1050°Cの温度で30分～4時間の熱処理工程、エピタキシャル成長による成膜工程を含むエピタキシャルシリコンウェーハの製造方法。

【請求項3】 前記450～600°Cの熱処理工程を不活性ガス雰囲気で行う請求項1又は請求項2に記載のエピタキシャルシリコンウェーハの製造方法。

【請求項4】 前記850～1050°Cの熱処理工程を酸素及び/又は不活性ガス雰囲気で行う請求項1又は請求項2に記載のエピタキシャルシリコンウェーハの製造方法。

【請求項5】 前記成膜工程は1100°C以上で2分～1時間行う請求項1又は請求項2に記載のエピタキシャルシリコンウェーハの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、ULSI/SI等の高集積デバイスの製造に使用するエピタキシャルシリコンウェーハの製造方法の改良に係り、シリコンウェーハに、エピタキシャル成長によりエピタキシャル膜を形成する前に、特定の熱処理を施してシリコンウェーハ内部にBMD(Bulk Micro Defect)を顕在化、残存させてIG能(Intrinsic Gettering)を付与すると同時に、エピタキシャル膜を形成するシリコンウェーハ表面の欠陥を少なくして高品質なエピタキシャル膜を有するエピタキシャルシリコンウェーハの製造方法に関する。

## 【0002】

【従来の技術】 エピタキシャルシリコンウェーハは、デバイスを作成する表面のエピタキシャル膜に酸素起因の欠陥や単結晶インゴット育成時に導入されるGrown-in欠陥(COPを含む)が無い優れた特性を有しており、BやAs/Sb等の高濃度シリコンウェーハの使用が可能であることから、近年、MPUやフラッシュメモリー等の高性能デバイスやMOS FET、ICBT等の高性能Powerデバイスにはエピタキシャルシリコンウェーハが使用されつつある。

【0003】 一方、片面が鏡面研磨されたシリコンウェーハは、D-RAMなどのデバイス用途に使用されているが、デバイスの微細化が進むに従い、単結晶シリコンインゴット製造プロセスで導入されるGrown-in欠陥(特にCOP)がデバイス特性、歩留を低下させることが判明し、エピタキシャル膜が形成されたエピタキシャルシリコンウェーハを用いなければならない状況となってきた。

## 【0004】 しかし、エピタキシャルシリコンウェーハとい

えども、最近の高集積、高密度デバイスにおいては、デバイスプロセスでの熱処理が低温化されつつある傾向と相俟って、デバイスプロセスでの汚染や結晶欠陥の発生を防止して高い歩留を得るために、IG処理が採用されている。

【0005】 このIG処理は、エピタキシャル成長前のシリコンウェーハあるいは単結晶シリコンインゴットにIG処理を施す方法と、エピタキシャル成長後のシリコンウェーハにIG処理を施す方法とに大別される。後者の方法では、エピタキシャル層の厚さ及び比抵抗の深さ分布などの特性が変化してしまうこと、エピタキシャル層にシリコンウェーハから酸素が拡散し欠陥を発生させる可能性が高いこと、熱処理によりエピタキシャル層表面のパーティクルが増大して歩留りが低下するなどの問題があるため、エピタキシャル成長前にIG処理を施す方法が一般的に採用されている。

【0006】 例えば、エピタキシャル成長前に、(1)600～800°Cの熱処理を実施する1段階熱処理法(特開平1-298726号)、(2)400～550°Cの第1熱処理後に、650～750°Cの第2熱処理を実施する2段階熱処理法(特開平5-102167号)、(3)850～1000°Cの第1熱処理、700°C以下の第2熱処理、800～1000°Cの第3熱処理を実施する3段階熱処理法(特開平5-259171号)などが提案されている。

## 【0007】

【発明が解決しようとする課題】 ところが、従来から提案されているIG処理方法では、シリコンウェーハ内部に形成されるBMDの成長が不十分であることから、エピタキシャル成長処理の高温熱処理時に、BMDが消滅され、BMD密度が大きく低下するという問題がある。

【0008】 また、CZ法で育成された単結晶シリコンインゴットは、同一インゴットであっても結晶成長方向において、引上げ中に受ける熱履歴が相違するためにインゴット直胴部の頭部と底部では酸素析出レベルが異なる。このため、IG処理する際はシリコンウェーハ中のBMD密度や、シリコンウェーハ表面の無欠陥層幅(DZ層)にばらつきを生じないように、酸素析出核を結晶成長方向に均一に形成する熱処理が必要となる。

【0009】 前述した1段階熱処理する方法では、酸素析出核が結晶成長方向に均一に形成されず、BMD密度やDZ層幅にばらつきを生じる問題がある。また、シリコンウェーハ内にBMDは形成されるものの、シリコンウェーハ表面近傍にもBMDが形成されることから、エピタキシャル成長処理によりウェーハ表面に形成されるエピタキシャル層に欠陥が発生する問題がある。

【0010】 前述した2段階無処理する方法では、酸素析出核の均一化形成の問題はある程度回避されるが、第2熱処理の温度が不適当であることから、シリコンウェーハ表面近傍にもBMDが形成され、その後形成されるエピタキシャル層に欠陥が発生する問題がある。

【0011】 前述した3段階熱処理する方法では、BMD形成に

長時間を要することから生産性向上の観点から好ましい方法とは言えず、また、第1熱処理、第2熱処理の温度が不適当であることから、エピタキシャル層への欠陥発生およびBMD密度やDZ層幅にばらつきを生じる問題がある。

【0012】このように、従来より提案、実施されているエピタキシャル成長前のIG処理方法では、処理時間が長く、また、BMD密度やDZ層幅のばらつきを解消できず、さらにはエピタキシャル層表面に欠陥が発生してしまうなどの問題があった。

【0013】この発明は、IG能を付与されたエピタキシャルシリコンウェーハの製造方法における従来の問題、すなわち、酸素析出核の不均一化形成を抑制し、シリコンウェーハ表面近傍にBMDが形成することなく、比較的短時間で処理できる、IG能に優れたエピタキシャルシリコンウェーハの製造方法の提供を目的としている。

【0014】

【課題を解決するための手段】発明者は、上述した問題を解消できるIG処理について種々検討し、まず、CZ法で作成された単結晶をウェーハに加工した場合には、ウェーハ内部に結晶成長過程で生じる酸素析出核が含まれており、この酸素析出核は、IG処理の温度や時間により、成長してBMDとして顕在化する酸素析出核と、収縮し溶解する酸素析出核が存在する点に着目した。

【0015】発明者は、エピタキシャル成長前のシリコンウェーハにIG処理を施す場合、シリコンウェーハを650～800°C近傍の温度で熱処理すると、酸素析出核の形成とその成長が一度に行われるため、シリコンウェーハ表面近傍に形成される酸素析出核が消滅されないままに、その酸素析出核の成長が促進され、ウェーハ表面近傍にBMDとして顕在化してしまうことを知見した。

【0016】また、発明者は、このウェーハ表面近傍に顕在化したBMDは、その後のエピタキシャル成長の高温熱処理を受けても消滅せず、形成されるエピタキシャル層に積層欠陥を発生させたり、エピタキシャル層に欠陥が発生しなくとも、デバイスプロセスで高温熱処理が施された場合に、エピタキシャル層に欠陥発生を誘発させる原因となることを知見した。

【0017】すなわち、この発明の要旨とするところは、まず、低温の熱処理により酸素析出核をウェーハ全体に形成させ、次に中温の熱処理を行ってシリコンウェーハ表面近傍の酸素析出核を収縮、溶解させると同時に、ウェーハ内部の酸素析出核を成長させることで、ウェーハ内部にBMDを顕在化させることにある。

【0018】この発明は、CZ法により育成された単結晶シリコンインゴットあるいは加工後のシリコンウェーハに450～600°Cの温度で1時間～24時間の熱処理を施し、シリコンウェーハに850～1050°Cの温度で30分～4時間の熱処理を施した後、エピタキシャル成長により成膜することを特徴とするエピタキシャルシリコンウェーハの製造方

法である。

【0019】

【発明の実施の形態】この発明は、CZ法による単結晶シリコンインゴットに450～600°Cの温度で1時間～24時間の熱処理と、850～1050°Cの温度で30分～4時間の熱処理を施することで、ウェーハ内部にBMDを顕在化させてIG能を付与するもので、そのシリコンウェーハの表面にエピタキシャル成長でエピタキシャル層を形成する。

【0020】この発明において、前段の熱処理は、単結晶シリコンインゴットの状態で実施してもよい。すなわち、CZ法により成長した単結晶シリコンインゴットに、450～600°Cの温度で1時間～24時間の前段の熱処理を施しても、シリコンウェーハ状態で同熱処理する場合と同様の酸素析出核の均一化効果が得られ、その後、単結晶シリコンインゴットをシリコンウェーハに加工し、850～1050°Cの温度で30分～4時間の熱処理を施し、その後エピタキシャル成長によりシリコンウェーハ表面にエピタキシャル膜を形成することで、IG能に優れたエピタキシャルシリコンウェーハを製造することができる。

10 【0021】この発明において、前段の熱処理は、処理温度が450°C未満では、酸素析出核を結晶成長方向に均一に形成するのに非常に時間を要し、生産性が大きく低下するため好ましくなく、600°Cを超えると、酸素析出核の成長が顕著となるため、ウェーハ表面近傍に形成される酸素析出核がそのまま成長し、ウェーハ表面にBMDとして顕在化してしまうため、450～600°Cの温度に保持する。

20 【0022】また、処理時間は1時間未満では、この温度範囲内の熱処理においては酸素析出核の均一形成が不十分であり、その後形成されるBMD密度にばらつきを生じるため好ましくなく、24時間を超えて、酸素析出核の形成にあまり変化がなく、生産性の低下を招くため、1時間～24時間の保持時間とする。

30 【0023】この発明において、後段の熱処理は、処理温度が850°C未満では、ウェーハ表面近傍の酸素析出核やBMDを消滅させることができないが、1050°Cを超えると、ウェーハ内部に形成されるBMDが消滅されると同時に、サイズの大きなBMDが成長してしまい、エピタキシャル層に積層欠陥などの欠陥が発生してしまうため、850～1050°Cの温度に保持する。

40 【0024】また、処理時間が30分未満では、BMDの成長が不十分であり、4時間を超えると、ウェーハ表面にBMDが顕在化し、デバイスに必要なエピタキシャル層に欠陥が生じてしまうため、30分～4時間の保持時間とする。

【0025】この発明の前段の熱処理は、不活性ガス雰囲気、例えば窒素ガスあるいはアルゴンガス雰囲気で実施する。酸化性雰囲気で熱処理を行うと、格子間にシリコンが注入されて酸素と結合して酸化物を形成しやすく、また、ウェーハ表面から酸素が拡散し、Grow-in欠陥(COP)と結合して安定な酸化物を形成してしまうことか

ら、エピタキシャル成長の高温熱処理を受けても、この酸化物は消失せず、エピタキシャル層に欠陥が形成されてしまう。

【0026】この発明の後段の熱処理は、酸素または不活性ガスの各々単独又、あるいは混合雰囲気で実施されるが、上述したウェーハ表面への酸化物形成の抑制の観点から、窒素ガスあるいはアルゴンガスなどの不活性ガス雰囲気で実施することが特に望ましい。

【0027】この発明において、エピタキシャル成長は、公知のトリクロルシランなどを用いた気相成長法など、公知の気相成長法により形成することができる。特に短時間処理が通常である枚葉式のエピタキシャル成長法に有利である。エピタキシャル成長条件としては、1100°C以上の温度で2分～1時間程度のエピタキシャル成長プロセスが望ましく、特に2～15分程度の枚葉式のエピタキシャル成長法に適している。

【0028】枚葉式のエピタキシャル成長法で作成されたエピタキシャルウェーハは、エピタキシャル層表面の平坦性に優れている。しかし、枚葉式のエピタキシャル成長法は、その生産コストを低減するために、多数枚同時エピタキシャル成長法よりも、成長処理時間が短く、ウェーハ1枚あたり10分程度の処理時間が通常である。この短時間のエピタキシャル成長では、ウェーハ表面近傍の酸素析出核が消滅しにくく、形成されるエピタキシャル層に欠陥を発生しやすい問題がある。

【0029】ところが、この発明によるシリコンウェーハは、ウェーハ内部にBMDが強固に形成されており、ウェーハ表面近傍の酸素析出核は消滅していることから、短時間のエピタキシャル成長であっても、エピタキシャル層に＊

	前段	後段
処理温度	450°C	950°C
処理時間	20時間	2時間
ガス雰囲気	窒素ガス雰囲気	窒素ガス雰囲気

【0035】次に、上記熱処理が施されたシリコンウェーハの片面を鏡面加工した後、エピタキシャル成長を下記の条件で実施した。エピタキシャル成長処理条件は、

エピタキシャル成長投入温度:650°C、昇温速度:15°C/sec

c、

水素ピーク温度、時間:1125°C、60秒、

エピタキシャル成長温度:1100°C、

エピタキシャル成長時間:120秒(膜厚6μm)、

使用ガス:SiHCl<sub>3</sub>、降温速度:7°C/sec、取り出し温度:600～700°C、である。

【0036】IC能を調べるために、デバイスプロセスを模した模擬熱処理を実施した。デバイスプロセス模擬熱処理条件は、処理温度:1000°C、処理時間:16時間、ガス雰囲気:dryO<sub>2</sub>雰囲気である。

\*欠陥が発生せず、枚葉式のエピタキシャル成長法を採用することができる。

【0030】この発明において、酸素濃度の範囲は10～16×10<sup>17</sup> atoms/cm<sup>3</sup>とすることが望ましい。10×10<sup>17</sup> atoms/cm<sup>3</sup>未満では必要なBMD密度を得るのに時間を要し、16×10<sup>17</sup> atoms/cm<sup>3</sup>を超えるとウェーハ内のBMD密度が1×10<sup>16</sup>個/cm<sup>3</sup>を超えて、ウェーハ表面にも欠陥が析出してしまう。さらに好ましい酸素濃度範囲は、11～16×10<sup>17</sup> atoms/cm<sup>3</sup>である。

10 【0031】この発明において、前段、後段の熱処理前後に種々の処理を施すことが可能である。また、シリコンウェーハ表面の欠陥発生を低減するために、エピタキシャル成長前、後段の熱処理後のシリコンウェーハに対して、公知の片面、両面の平面研削、あるいは片面、両面研磨を施すことが望ましい。

【0032】

【実施例】実施例1

CZ法にて、下記性状の単結晶シリコンを育成した。

・導電型:P型(ボロンドープ)、比抵抗10Ω·cm、直径:20mm、(100)方位、引上げ長さ:1000mm、引上げ速度1mm/min、酸素濃度:10～12(×10<sup>17</sup> atoms/cm<sup>3</sup>)

20 【0033】上記単結晶シリコンインゴットをスライス、ラッピング、エッティングを行ってウェーハに加工し、インゴット直胴部頭部より100mm、500mm、900mmの3カ所から抜き取りしたシリコンウェーハに下記のIG処理を実施した。

【0034】

【表1】

【0037】シリコンウェーハ中のBMD密度を測定するため、シリコンウェーハをへき開し、断面を2μmライトエッティングで除去した後、顕微鏡にて断面を観察して、BMD強度を評価した。その結果を図1に示す。

【0038】図1中、X印で示す条件Aは、全くIG処理が施されていないシリコンウェーハに対して、模擬熱処理のみを行った結果を示す。また、条件B(△印)は、シリコンウェーハに対して、前段熱処理を行った後、模擬熱処理を行った結果を示す。

【0039】条件C(□印)は、シリコンウェーハに対して、前段熱処理および後段熱処理を行った後、模擬熱処理を行った結果を示す。条件D(黒△印)は、シリコンウェーハに対して、前段熱処理を行った後、エピタキシャル成長処理を施し、その後、模擬熱処理を行った結果を示す。

す。

【0040】条件E(黒□印)は、この発明の結果を示すもので、シリコンウェーハに対して、前段熱処理および後段熱処理を行った後、エピタキシャル成長処理を施し、その後、模擬熱処理を行った結果を示す。条件F(○印)は、シリコンウェーハに対して、前段熱処理温度を700°Cに変更した以外は、全て条件Dと同一条件で行った結果を示す。

【0041】この図1から明らかなように、後段の熱処理を行わず、エピタキシャル成長処理を施さなかった条件Bでは、BMD密度は良好であったが、その後、エピタキシャル成長処理を施した条件Dでは、大幅なBMD密度低下が見られた。これは低温熱処理の前段熱処理だけでは、ウェーハ内部に形成した酸素析出核の成長が不十分で、あまり成長しなかったサイズの小さなBMDがエピタキシャル成長処理の高温処理によって消滅したと考えられる。

【0042】これに対し、前段熱処理および後段熱処理を行った条件Cのシリコンウェーハは、ウェーハ内部に高いBMD密度を示し、その後エピタキシャル成長処理を行った条件Eにおいても、単結晶シリコンの成長方向に均一に $1 \times 10^4$ 個/cm<sup>2</sup>以上のBMDが観察された。

【0043】なお、条件Eにおいて、シリコンウェーハへの前段熱処理を単結晶インゴットへの熱処理に置き換えて実施し、その後ウェーハに加工して、他の条件(後段熱処理、エピタキシャル成長処理、模擬熱処理)はそのまま行った場合も、BMD密度は条件Eと同様の結果を示した。

#### 【0044】実施例2

実施例1における条件D、条件ECおよび条件Fで製作されたエピタキシャルシリコンウェーハ表面の欠陥密度を測定するため、レーザーパーティクルカウンター(SP-1)で測定レンジを $>0.09\mu\text{m}\phi$ として、エピタキシャル層表面の欠陥を観察した。その結果を図2に示す。

【0045】この図から明らかなように、条件Dで製作されたエピタキシャルシリコンウェーハは、その表面に平均約50個/ウェーハの表面欠陥が観察された。これは第2熱処理の中温熱処理が施されていないために、第1熱処理の低温熱処理で形成されたシリコンウェーハ表面近傍の酸素析出核が収縮、溶解せずに、この酸素析出核を基点としてエピタキシャル層に欠陥が導入されたものと考えられる。

【0046】条件Fで製作されたエピタキシャルウェーハは、実施例1において比較的高いBMD密度の値を示したが、エピタキシャルウェーハ表面には平均約10個/ウェ

ーハの欠陥が発生した。これは前段熱処理の温度が700°Cと高く、この熱処理だけで酸素析出核の形成とその成長を行うことから、ウェーハ表面近傍にBMDが形成されたためと考えられる。

【0047】これに対し、条件Cで製作されたこの発明のエピタキシャルシリコンウェーハは、そのエピタキシャル層表面には欠陥はほぼ観察されなかった。

【0048】このように、シリコンウェーハ内部への確実なBMD形成とエピタキシャル層への欠陥発生を抑制することを両立するためには、エピタキシャル層形成前に、一旦、低温熱処理により酸素析出核をウェーハ全体に均一に形成させた後、中温熱処理を行ってシリコンウェーハ表面の酸素析出核を収縮、溶解させると同時に、ウェーハ内部の酸素析出核を成長させることで、ウェーハ内部にBMDを顕在化させることが必要であることが分かる。

#### 【0049】

【発明の効果】この発明は、CZ法により育成された単結晶シリコンインゴットあるいはインゴットから切り出されたシリコンウェーハに特定の低温熱処理を施し、その後シリコンウェーハに特定の中温熱処理を施した後、エピタキシャル成長処理を行うことにより、短時間でウェーハ内部にBMDを確実に顕在化させることができ、IG能に優れたエピタキシャルシリコンウェーハを得ることができる。

【0050】この発明は、従来IG処理されたシリコンウェーハにエピタキシャル成長処理を施すと、ウェーハ内部のBMDが大幅に低下するという根本的な問題を解消することができるものである。

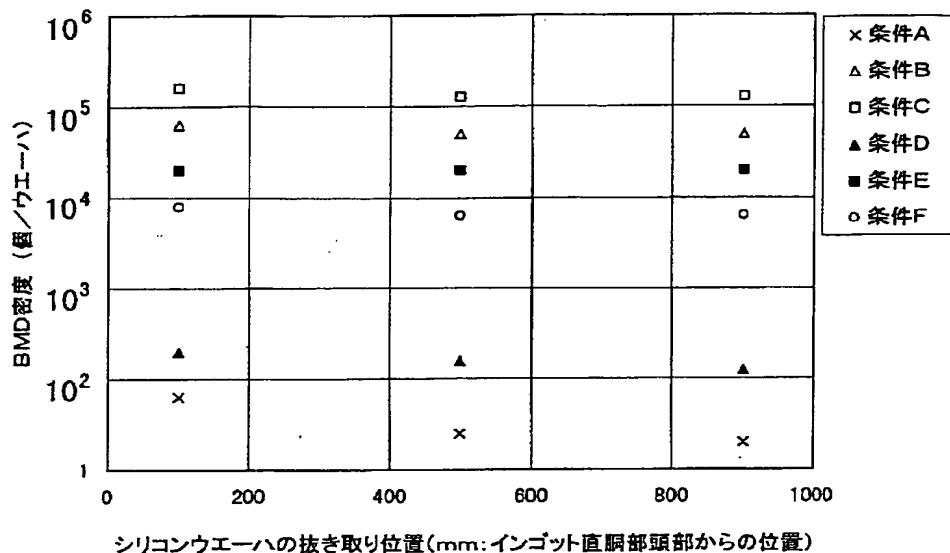
【0051】また、この発明で得られたエピタキシャルシリコンウェーハは、ウェーハ内部に強固にBMDが形成されていることから、デバイスプロセス中に発生する汚染を確実にゲッタリングでき、デバイスの信頼性が向上することはもちろんのこと、BMD密度にばらつきがなく、デバイスプロセスの熱処理を受けてもエピタキシャル層に欠陥が発生しない効果を有し、飛躍的にデバイスの信頼性を向上させるものである。

#### 【図面の簡単な説明】

【図1】種々熱処理条件で処理したエピタキシャルシリコンウェーハ表面の欠陥密度をインゴット直胴部頭部よりの距離との関係で示すグラフである。

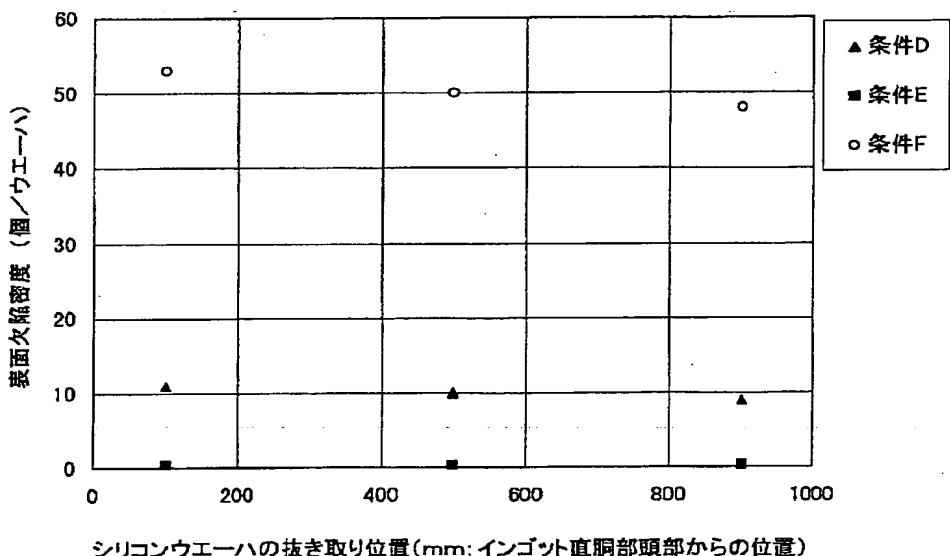
【図2】種々熱処理条件で処理したエピタキシャルシリコンウェーハ表面の欠陥密度をインゴット直胴部頭部よりの距離との関係で示すグラフである。

【図1】



シリコンウエーハの抜き取り位置(mm: インゴット直胴部頭部からの位置)

【図2】



シリコンウエーハの抜き取り位置(mm: インゴット直胴部頭部からの位置)

## 【手続補正書】

【提出日】平成11年9月30日(1999.9.3)

0)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

## 【0044】実施例2

実施例1における条件D、条件Eおよび条件Fで製作されたエピタキシャルシリコンウエーハ表面の欠陥密度を測定するため、レーザーパーティクルカウンター(SP-1)で測定レンジを $>0.09\mu\text{m}\phi$ として、エピタキシャル層表面の欠陥を観察した。その結果を図2に示す。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】これに対し、条件Eで製作されたこの発明のエ  
ビタキシャルシリコンウェーハは、そのエビタキシャル  
層表面には欠陥はほぼ観察されなかった。

\* 【手続補正3】

【補正対象書類名】図面

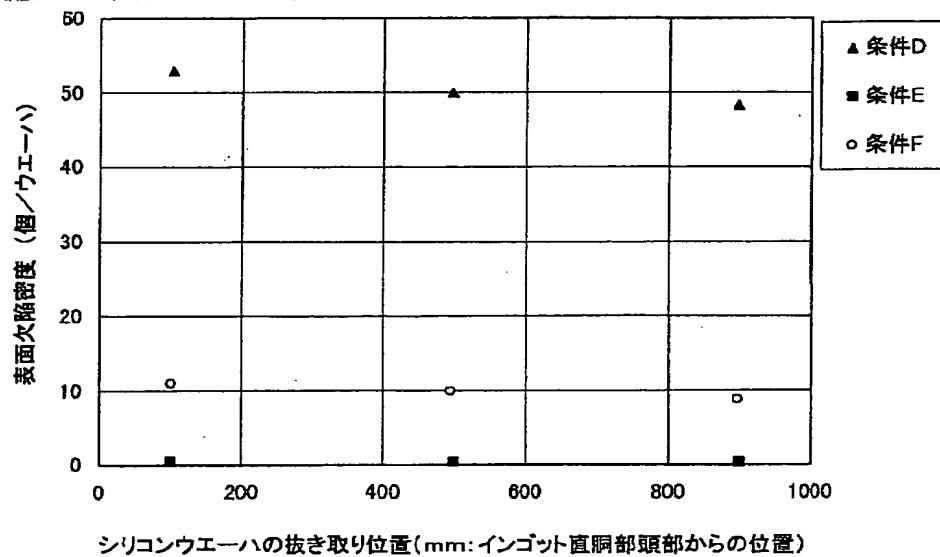
【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

\*



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077120  
(43)Date of publication of application : 23.03.2001

---

(51)Int.CI.

H01L 21/322  
C30B 29/06  
H01L 21/205

---

(21)Application number : 11-248227  
(22)Date of filing : 02.09.1999

(71)Applicant : SUMITOMO METAL IND LTD  
(72)Inventor : NINOMIYA MASAHIRO

---

## (54) MANUFACTURE OF EPITAXIAL SILICON WAFER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method superior in IG(intrinsic gettering) capability, where no BMD (bulk micro defect) is formed near the surface of silicon wafer for relatively a short processing time, by suppressing uneven formation of the oxygen deposition nucleus of a epitaxial silicon wafer provided with IG capability.

**SOLUTION:** A latent nucleus is allowed to be produced and grow over the entire crystal in a low-temperature process, then the latent nucleus on a substrate surface is allowed to contract and dissolve in a thermal process at a medium temperature, while BMD is allowed to grow and form inside the substrate. Thus the BMD appears inside a wafer instead of at the surface layer part of it, for less variations in BMD density in a crystal growth method. When an epitaxial film is formed at the substrate, the BMD is formed only inside the substrate without surface defects.

---

### LEGAL STATUS

[Date of request for examination] 16.12.2004  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS****[Claim(s)]**

[Claim 1] The manufacture approach of the epitaxial silicon wafer which includes the heat treatment process of 30 minutes - 4 hours, and the membrane formation process by epitaxial growth at the temperature of 450-600 degrees C with the heat treatment process of 1 hour - 24 hours, and the temperature of 850-1050 degrees C for the silicon wafer by the CZ process.

[Claim 2] The manufacture approach of the epitaxial silicon wafer which includes the heat treatment process of 30 minutes - 4 hours, and the membrane formation process by epitaxial growth at the heat treatment process of 1 hour - 24 hours, and the temperature of 850-1050 degrees C over the silicon wafer after processing with the temperature of 450-600 degrees C over the single-crystal-silicon ingot by the CZ process.

[Claim 3] The manufacture approach of an epitaxial silicon wafer according to claim 1 or 2 of performing said 450-600-degree C heat treatment process in an inert gas ambient atmosphere.

[Claim 4] The manufacture approach of an epitaxial silicon wafer according to claim 1 or 2 of performing said 850-1050-degree C heat treatment process in oxygen and/or an inert gas ambient atmosphere.

[Claim 5] Said membrane formation process is the manufacture approach of the epitaxial silicon wafer according to claim 1 or 2 performed above 1100 degrees C for 2 minutes to 1 hour.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to amelioration of the manufacture approach of the epitaxial silicon wafer used for manufacture of high accumulation devices, such as ULSI/SI. Before forming an epitaxial film in a silicon wafer with epitaxial growth Perform specific heat treatment and BMD (Bulk Micro Defect) is actualized inside a silicon wafer. It is related with the manufacture approach of an epitaxial silicon wafer of lessening the defect of the silicon wafer front face which forms the EPIKISHARU film, and having a quality epitaxial film at the same time it makes it remain and gives IG ability (Intrinsic Gettering).

[0002]

[Description of the Prior Art] The epitaxial silicon wafer has the outstanding property without the Grown-in defect (COP is included) introduced into the epitaxial film of the front face which creates a device at the time of the defect of oxygen \*\*\*\*, or single crystal ingot training, and since use of high concentration silicon wafers, such as B and As/Sb, is possible, an epitaxial silicon wafer is being used for high performance Power devices, such as high performance devices, such as MPU and a flash memory, and MOS FET, IGBT, in recent years.

[0003] Although the silicon wafer with which mirror polishing of one side was carried out on the other hand is used for device applications, such as D-RAM, it becomes clear that the Grown-in defect (especially COP) introduced in a single-crystal-silicon ingot manufacture process reduces a device property and a yield, and it serves as the situation that the epitaxial silicon wafer with which the epitaxial film was formed must be used as detailed-ization of a device progresses.

[0004] However, IG processing is adopted, in order to prevent contamination in a device process, and generating of a crystal defect conjointly with the inclination for heat treatment in a device process to have been low-temperature-ized and to obtain a high yield in the latest high accumulation and a high density device, also although it is called an epitaxial silicon wafer.

[0005] This IG processing is divided roughly into the approach of performing IG processing to the silicon wafer or single-crystal-silicon ingot in front of epitaxial growth, and the method of performing IG processing to the silicon wafer after epitaxial growth. By the latter approach, the particle on the front face of an epitaxial layer increases by that properties, such as depth distribution of epitaxial layer thickness and specific resistance, change, that possibility of oxygen being spread from a silicon wafer in an epitaxial layer, and generating a defect is high, and heat treatment, and since there is a problem of the yield falling, generally the method of performing IG processing is adopted before epitaxial growth.

[0006] For example, the one-step heat-treating method for carrying out heat treatment of (1)600-800 degree C before epitaxial growth (JP,1-298726,A), (2) The two-step heat-treating method for carrying out the 2nd 650-750-degree C heat treatment after the 1st 400-550-degree C heat treatment (JP,5-102167,A), (3) The three-stage heat-treating method (JP,5-259171,A) for carrying out the 1st 850-1000-degree C heat treatment, the 2nd heat treatment of 700 degrees C or less, and the 3rd 800-1000-degree C heat treatment etc. is proposed.

[0007]

[Problem(s) to be Solved by the Invention] However, from IG art of growth of BMD formed in the interior of a silicon wafer proposed from the former being inadequate, at the time of elevated-temperature heat treatment of epitaxial growth processing, BMD disappears and there is a problem that a BMD consistency falls greatly.

[0008] Moreover, since the heat history received during a pull-up is different in the crystal growth direction even if the single \*\*\*\* silicon ingot raised by the CZ process is the same ingot, the head of the ingot body

section differs in precipitation-of-oxygen level from a pars basilaris ossis occipitalis. For this reason, in case IG processing is carried out, heat treatment which forms a precipitation-of-oxygen nucleus in homogeneity in the crystal growth direction is needed so that dispersion may be produced neither in the BMD consistency in a silicon wafer, nor the defect-free layer width (DZ layer) of a silicon wafer front face.

[0009] By the approach of heat-treating one step mentioned above, a precipitation-of-oxygen nucleus is not formed in the crystal growth direction at homogeneity, but there is a problem which produces dispersion in a BMD consistency or DZ layer width. Moreover, although BMD is formed in a silicon wafer, since BMD is formed also near the silicon wafer front face, the problem which a defect generates is in the epitaxial layer formed in a wafer front face of epitaxial growth processing.

[0010] By the approach of two-step-less processing mentioned above, although the problem of equalization formation of a precipitation-of-oxygen nucleus is avoided to some extent, since 2nd \*\*\*\* type temperature is unsuitable, the problem which a defect generates is in the epitaxial layer which BMD is formed also near the silicon wafer front face, and is formed after that.

[0011] By the approach of carrying out three-stage heat treatment which mentioned above, there is a problem which cannot call it a desirable approach from a viewpoint of a productivity drive since BMD formation takes long duration, and produces dispersion in defective generating and BMD consistency, and DZ layer width to an epitaxial layer since the temperature of the 1st heat treatment and the 2nd heat treatment is unsuitable.

[0012] Thus, in IG art in front of the epitaxial growth currently proposed and carried out from before, the processing time was long, and could not cancel dispersion in a BMD consistency or DZ layer width, but there was a problem of a defect occurring on an epitaxial layer front face further.

[0013] This invention aims at offer of the manufacture approach of an epitaxial silicon wafer excellent in IG ability which can be processed comparatively in a short time, without controlling ununiformity-ized formation of the conventional problem in the manufacture approach of the epitaxial silicon wafer to which IG ability was given, i.e., a precipitation-of-oxygen nucleus, and BMD forming near the silicon wafer front face.

[0014]

[Means for Solving the Problem] The point that the precipitation-of-oxygen nucleus which an artificer examines many things about IG processing which can solve the problem mentioned above, and contracts with the precipitation-of-oxygen nucleus which the precipitation-of-oxygen nucleus produced in a crystal-growth process is contained inside the wafer, and this precipitation-of-oxygen nucleus grows by the temperature and the time amount of IG processing, and is actualized as BMD when the single crystal first created by the CZ process is processed into a wafer, and dissolves exists noted.

[0015] Growth of the precipitation-of-oxygen nucleus was promoted, and the artificer did the knowledge of actualizing as BMD near the wafer front face as the precipitation-of-oxygen nucleus formed near the silicon wafer front face did not disappear, since formation and its growth of a precipitation-of-oxygen nucleus would be performed at once if a silicon wafer is heat-treated at the temperature of about 650-800 degrees C when performing IG processing to the silicon wafer in front of epitaxial growth.

[0016] Moreover, even if BMD which actualized the artificer near [ this ] the wafer front face received elevated-temperature heat treatment of subsequent epitaxial growth, it did not disappear, but even if it did not make the epitaxial layer formed generate a stacking fault or a defect did not occur in an epitaxial layer, when elevated-temperature heat treatment was performed in a device process, it carried out the knowledge of becoming the cause of making an epitaxial layer inducing defective generating.

[0017] That is, the place made into the summary of this invention is growing up the precipitation-of-oxygen nucleus inside a wafer, and is to actualize BMD inside a wafer at the same time it makes a precipitation-of-oxygen nucleus form in the whole wafer by low-temperature heat treatment, then it heat-treats a moderate temperature first and it contracts and dissolves the precipitation-of-oxygen nucleus near the silicon wafer front face.

[0018] After this invention performs heat treatment of 1 hour - 24 hours to the single-crystal-silicon ingot raised by the CZ process or the silicon wafer after processing at the temperature of 450-600 degrees C and performs near heat treatment to a silicon wafer at the temperature of 850-1050 degrees C at 30 minutes - 4:00, it is the manufacture approach of the epitaxial silicon wafer characterized by forming membranes with epitaxial growth.

[0019]

[Embodiment of the Invention] This invention is performing heat treatment of 30 minutes - 4 hours to the single-crystal-silicon ingot by the CZ process with the temperature of 450-600 degrees C at heat treatment

of 1 hour - 24 hours, and the temperature of 850-1050 degrees C, it actualizes BMD, gives IG ability to the interior of a wafer, and forms an EPITAKYASHARU layer in the front face of that silicon wafer by EPIKISHARU growth.

[0020] In this invention, heat treatment of the preceding paragraph may be carried out in the state of a single-crystal-silicon ingot. Namely, even if it heat-treats the preceding paragraph of 1 hour - 24 hours at the temperature of 450-600 degrees C to the single-crystal-silicon ingot which grew by the CZ process The equalization effectiveness of the same precipitation-of-oxygen nucleus as the case where it said-heat-treats in the state of a silicon wafer is acquired. By then, the thing for which a single-crystal-silicon ingot is processed into a silicon wafer, heat treatment of 30 minutes - 4 hours is performed at the temperature of 850-1050 degrees C, and an epitaxial film is formed in a silicon wafer front face with epitaxial growth after that The epitaxial silicon wafer excellent in IG ability can be manufactured.

[0021] Since time amount is required very much that heat treatment of the preceding paragraph forms a precipitation-of-oxygen nucleus in the crystal growth direction at less than 450 degrees C in this invention at homogeneity and productivity falls greatly, if processing temperature exceeds 600 degrees C preferably, in order that the precipitation-of-oxygen nucleus formed near the wafer front face since growth of a precipitation-of-oxygen nucleus becomes remarkable may grow as it is and may actualize as BMD on a wafer front face, it holds in temperature of 450-600 degrees C.

[0022] Moreover, in order that the homogeneity formation of a precipitation-of-oxygen nucleus of the processing time is inadequate in heat treatment in this temperature requirement, there may be no change in formation of a precipitation-of-oxygen nucleus not much even if it exceeds 24 hours preferably since it produces dispersion in the BMD consistency formed after that, and it may cause the fall of productivity, let it be the holding time of 1 hour - 24 hours in less than 1 hour.

[0023] In this invention, since BMD with big size grows and defects, such as a stacking fault, occur in an epitaxial layer at the same time BMD formed in the interior of a wafer will disappear, if it is inadequate that processing temperature extinguishes the precipitation-of-oxygen nucleus and BMD near the wafer front face at less than 850 degrees C and it exceeds 1050 degrees C, latter heat treatment is held to the temperature which is 850-1050 degrees C.

[0024] Moreover, if the growth of BMD of the processing time is inadequate in less than 30 minutes and it exceeds 4 hours, since BMD will actualize on a wafer front face and a defect will arise in an epitaxial layer required for a device, it considers as the holding time of 30 minutes - 4 hours.

[0025] Heat treatment of the preceding paragraph of this invention is carried out in an inert gas ambient atmosphere, for example, nitrogen gas, or an argon gas ambient atmosphere. If it heat-treats by the oxidizing atmosphere, since silicon is poured in between grids, it combines with oxygen, and it is easy to form an oxide, and oxygen will be spread from a wafer front face, it will combine with a Grow-in defect (COP) and a stable oxide will be formed, even if it receives elevated-temperature heat treatment of epitaxial growth, this oxide will not disappear but a defect will be formed in an epitaxial layer.

[0026] heat treatment of the latter part of this invention -- each of oxygen or inert gas -- independent -- again -- or although it carries out in a mixed ambient atmosphere, especially the thing carried out in inert gas ambient atmospheres, such as nitrogen gas or argon gas, from a viewpoint of control of oxide formation on the wafer front face mentioned above is desirable.

[0027] In this invention, epitaxial growth can be formed by well-known vapor growth, such as vapor growth using well-known trichlorosilan etc. Especially short-time processing usually comes out, and is advantageous to the epitaxial grown method of a certain single wafer processing. As EPITAKYARU growth conditions, at the temperature of 1100 degrees C or more, the epitaxial growth process of 2 minutes - about 1 hour is desirable, and it is especially suitable for the epitaxial grown method of single wafer processing which is about 2 - 15 minutes.

[0028] The epitaxial wafer created with the epitaxial grown method of single wafer processing is excellent in the surface smoothness on the front face of an epitaxial layer. However, the epitaxial grown method of single wafer processing has the growth processing time shorter than a several multi-sheet coincidence epitaxial grown method, in order to reduce the production cost, and the processing time which is about 10 minutes per wafer is usual. In the epitaxial growth of this short time, the precipitation-of-oxygen nucleus near the wafer front face cannot disappear easily, and the problem which is easy to generate a defect is in the epitaxial layer formed.

[0029] However, as for the silicon wafer by this invention, BMD is firmly formed in the interior of a wafer, since the precipitation-of-oxygen nucleus of wafer surface \*\*\*\* has disappeared, even if it is short-time EPITASHARU growth, a defect does not occur in an EPITAKYARU layer but it can adopt the epitaxial

grown method of single wafer processing.

[0030] As for the range of an oxygen density, in this invention, it is desirable to consider as 10 - 16x10<sup>17</sup> atoms/cm<sup>3</sup>. In less than three 10x10<sup>17</sup> atoms/cm, if time amount is taken to obtain a required BMD consistency and 16x10<sup>17</sup> atoms/cm<sup>3</sup> is exceeded, a defect will deposit [ the BMD consistency in a wafer ] also on a wafer front face exceeding 3 1x10<sup>16</sup> pieces /cm. A still more desirable oxygen density range is 11 - 16x10<sup>17</sup> atoms/cm<sup>3</sup>.

[0031] In this invention, it is possible to perform various processings before and after heat treatment of the preceding paragraph and the latter part. Moreover, in order to reduce defective generating of a silicon wafer front face, it is desirable before epitaxial growth to give surface grinding of well-known one side and both sides or one side, and double-sided polish to the silicon wafer after latter heat treatment.

[0032]

[Example] example 1 CZ process -- the following -- the single crystal silicon of description was raised.

- Conductivity type :P A mold (boron dope), specific-resistance 10 ohm-cm, diameter:200mm, bearing (100), pull-up die-length:1000mm, pull-up rate 1 mm/min, an oxygen density: 10-12 (x10<sup>17</sup> atoms/cm<sup>3</sup>)

[0033] Slice, wrapping, and etching were performed, the above-mentioned single-crystal-silicon ingot was processed into the wafer, and the following IG processing was carried out to the silicon wafer sampled and carried out from three places, 100mm, 500mm, and 900mm, from the ingot body section head.

[0034]

[Table 1]

	前段	後段
処理温度	450°C	950°C
処理時間	20時間	2時間
ガス雰囲気	窒素ガス雰囲気	窒素ガス雰囲気

[0035] Next, after carrying out mirror plane processing of one side of the silicon wafer with which the above-mentioned heat treatment was performed, epitaxial growth was carried out on condition that the following. epitaxial growth processing conditions -- epitaxial growth injection temperature:650 degree-C, programming-rate:15 degrees C /, sec, hydrogen baking temperature, time amount:1125 degree-C, 60-second, epitaxial growth temperature:1100 degree-C, epitaxial growth time amount:120 seconds (6 micrometers of thickness), used gas:SiHCl<sub>3</sub>, temperature fall rate:7 degrees C /, and sec, and ejection temperature: -- 600-700 degrees C comes out.

[0036] In order to investigate IG ability, simulation heat treatment which imitated the device process was carried out. Device process simulation heat treatment conditions are gas ambient atmosphere:dryO<sub>2</sub> ambient atmospheres for processing temperature:1000 degree C, and processing-time:16 hours.

[0037] In order to measure the BMD consistency in a silicon wafer, after carrying out the cleavage of the silicon wafer and removing a cross section by 2-micrometer light etching, the cross section was observed under the microscope and BMD reinforcement was evaluated. The result is shown in drawing 1.

[0038] The conditions A shown by x mark show the result of having performed only simulation heat treatment, among drawing 1 to the silicon wafer with which IG processing is not performed at all. Moreover, Conditions B (\*\* mark) show the result of having performed simulation heat treatment, after performing preceding paragraph heat treatment to a silicon wafer.

[0039] Conditions C (\*\* mark) show the result of having performed simulation heat treatment, after performing preceding paragraph heat treatment and latter-part heat treatment to a silicon wafer. After Conditions D (black \*\* mark) perform preceding paragraph heat treatment to a silicon wafer, they perform epitaxial growth processing and show after that the result of having performed simulation heat treatment.

[0040] After Conditions E (black \*\* mark) show the result of this invention and perform preceding paragraph heat treatment and latter-part heat treatment to a silicon wafer, they perform epitaxial growth processing and show after that the result of having performed simulation heat treatment. Conditions F (O mark) show the result performed on the same conditions as Conditions D to a silicon wafer except [ all ] having changed preceding paragraph heat treatment temperature into 700 degrees C.

[0041] The latter part was not heat-treated, but although the BMD consistency was good, on the conditions B which did not give an epitaxial growth place type, the sharp BMD consistency fall was seen after that by the conditions D which performed epitaxial growth processing, so that clearly from this drawing 1. It is

thought that just preceding paragraph heat treatment of low-temperature heat treatment of growth of the precipitation-of-oxygen nucleus formed in the interior of a wafer was [ this ] inadequate, and BMD with small size which seldom grew disappeared by high temperature processing of epitaxial growth processing. [0042] On the other hand, also in the conditions E which the silicon wafer of the conditions C which performed preceding paragraph heat treatment and latter-part heat treatment showed the high BMD consistency to the interior of a wafer, and performed epitaxial growth processing after that, BMD of two or more [ 1x10<sup>4</sup> //cm ] was observed by homogeneity in the growth direction of single crystal silicon. [0043] In addition, in Conditions E, preceding paragraph heat treatment of silicon WEHAHE was transposed to heat treatment of single crystal in GOTTOHE, and was carried out, and it was processed into the wafer after that, and also when it carried out by other conditions (latter-part heat treatment, epitaxial growth processing, simulation heat treatment) remaining as they are, the BMD consistency showed the same result as Conditions E.

[0044] In order to measure the defect density of the epitaxial silicon wafer front face manufactured on the conditions D in example 2 example 1, Conditions EC, and Conditions F, the defect on the front face of an epitaxial layer was observed having used the measurement range as >0.09micrometerphi at the laser particle counter (SP-1). The result is shown in drawing 2.

[0045] As for the epitaxial silicon wafer manufactured on Conditions D, the surface discontinuity of about 50 averages / wafer was observed on that front face so that clearly from this drawing. Since moderate temperature heat treatment of the 2nd heat treatment is not performed, this is considered that the defect was introduced into the epitaxial layer on the basis of this precipitation-of-oxygen nucleus, without the precipitation-of-oxygen nucleus near [ which was formed by low-temperature heat treatment of the 1st heat treatment ] the silicon wafer front face not contracting, and dissolving.

[0046] Although the epitaxial wafer manufactured on Conditions F showed the value of a comparatively high BMD consistency in the example 1, in the epitaxial wafer front face, the defect of about ten averages / wafer generated it. This has the temperature of preceding paragraph heat treatment as high as 700 degrees C, and since formation and its growth of a precipitation-of-oxygen nucleus are performed only by this heat treatment, and BMD was formed near the wafer front face, it is considered.

[0047] On the other hand, in that epitaxial layer front face, the defect was not mostly observed for the epitaxial silicon wafer of this invention manufactured on Conditions C.

[0048] thus, in order to be compatible in controlling defective generating to the positive BMD formation and the positive epitaxial layer inside a silicon wafer After making a precipitation-of-oxygen nucleus once form [ the whole wafer ] by low-temperature heat treatment before the EPITAKINYARU stratification at homogeneity, It turns out that it is required for the interior of a wafer by growing up the precipitation-of-oxygen nucleus inside a wafer to actualize BMD at the same time it performs moderate temperature heat treatment and contracts and dissolves the precipitation-of-oxygen nucleus of a silicon wafer front face.

[0049]

[Effect of the Invention] After this invention performs specific low-temperature heat treatment to the silicon wafer cut down from the single-crystal-silicon ingot or ingot raised by the CZ process and performs specific moderate temperature heat treatment to a silicon wafer after that, by performing epitaxial growth processing, it can actualize BMD certainly inside a wafer in a short time, and can obtain the epitaxial silicon wafer excellent in IG ability.

[0050] This invention can solve the fundamental problem that BMD inside a wafer falls sharply, if epitaxial growth processing is performed to the silicon wafer by which IG processing was carried out conventionally.

[0051] Moreover, since BMD is firmly formed in the interior of a wafer, the epitaxial silicon wafer obtained by this invention can carry out gettering of the contamination generated in a device process certainly, even if there is no dispersion in a BMD consistency and it receives heat treatment of a device process not to mention the dependability of a device improving, has the effectiveness which a defect does not generate in an epitaxial layer, and raises the dependability of a device by leaps and bounds.

---

[Translation done.]

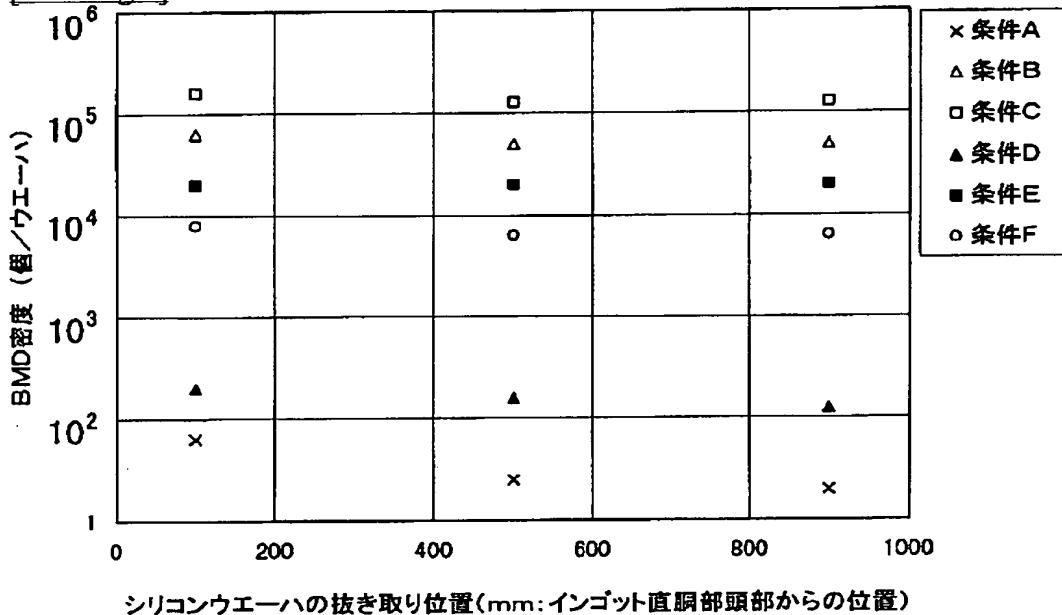
## \* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

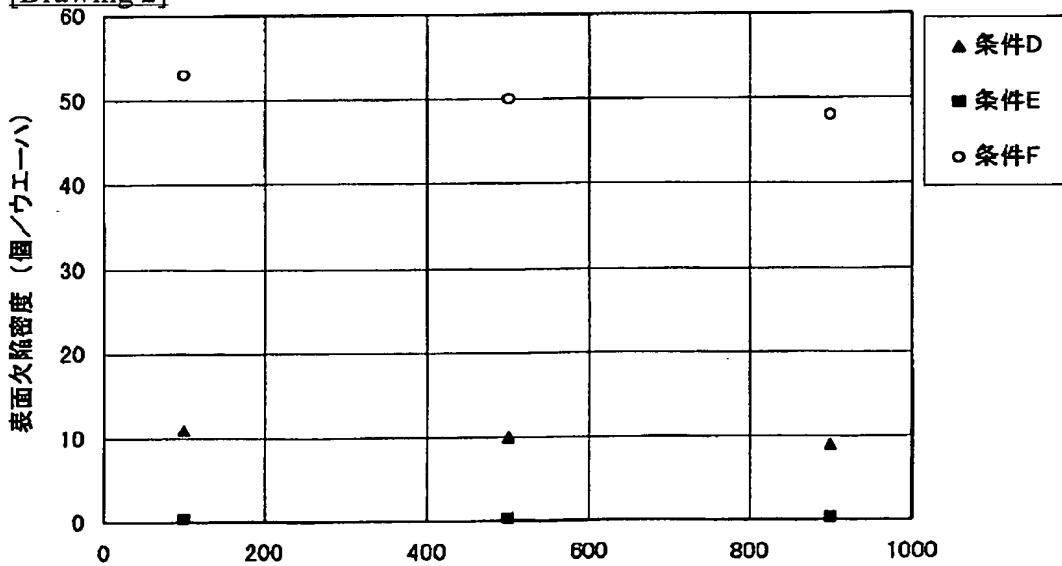
## DRAWINGS

[Drawing 1]



シリコンウエーハの抜き取り位置(mm: インゴット直胴部頭部からの位置)

[Drawing 2]



シリコンウエーハの抜き取り位置(mm: インゴット直胴部頭部からの位置)

[Translation done.]